

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-050148
(43)Date of publication of application : 18.02.2000

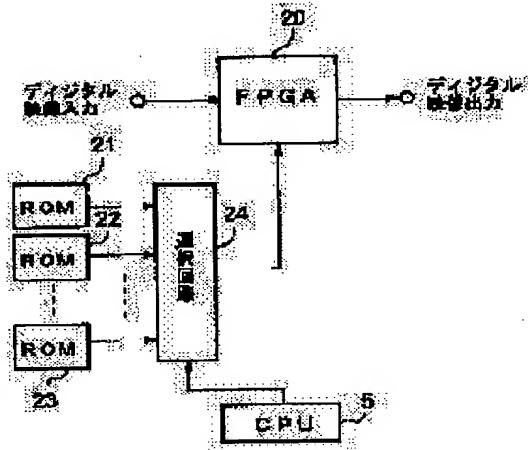
(51)Int.CI. H04N 5/232
H04N 5/222

(21)Application number : 10-210906 (71)Applicant : HITACHI DENSHI LTD
(22)Date of filing : 27.07.1998 (72)Inventor : ABE SHIGETO

(54) TELEVISION CAMERA DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain a device capable of coping with changes of the number of pixels of a frame image, etc., by a small scale circuit and simplified structure of the device by making a field programmable logic device (FPGA) to be constituted as video signal processing circuit structure according to detected sampling clock rate.
SOLUTION: Clock rate of a video signal according to the changes of the number of pixels of the frame image or aspect ratio of a CCD is detected and detected information is outputted to a ROM selecting circuit 24 by a CPU part 5. Pieces of control data corresponding to each clock rate of the video signal are stored in ROMs 21 to 23, these pieces of the control data are outputted from each of the ROMs 21 to 23 and are inputted in the ROM selecting circuit 24. Structuring of logic for changing a filter coefficient and the number of taps, etc., of a digital filter is performed by selecting the control data from the ROMs 21 to 23 in this way by this device. Thus, internal logic structure of the FPGA 20 is structured to be suitable for each clock rate.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

(19) 日本国特許庁 (JP)

(2) [特許請求の範囲]
[請求項1] 映像信号処理を行うテレビジョン・クロック・レートを変化させる必要がある。

[0005] この技術の技術分野は、映像信号処理用いたテレビジョンカメラ装置において、前記映像信号のサンプリング・クロック・レートを出し、前記映像信号のサンプリング・クロック・レートに応じて映像信号処理回路を構成するフィールドプログラマブル論理デバイス(以下FPGAと称す)の対応する回路構成情報を選択し、該選択された回路構成情報を前記FPGAに与えることで、前記FPGAの回路構成を前記投出されたサンプリング・クロック・レートに応じた映像信号処理回路構成にすることを特徴とするテレビジョン・カメラ装置。

[請求項2] 映像信号処理を行うテレビジョン・カメラ装置において、前記映像信号のサンプリング・クロック・レートを検出する手段と、映像信号処理を行うための回路を構成するフィールドプログラマブル論理デバイス(以下FPGAと称す)と、前記FPGAのための回路構成情報を記憶する手段と、前記検出されたサンプリング・クロック・レートに応じた映像信号処理回路を前記配線手段から前記FPGAへ出力するよう制御する手段と共に、前記FPGAは前記検出されたサンプリング・クロック・レートに応じた映像信号処理回路を構成することを特徴とするテレビジョン・カメラ装置。

[発明の詳細な説明]

[0001] 本発明は、テレビジョン・カメラ装置においてフレーム画像の画素数やアスペクト比が変わることがあると、以下の問題が生じる。即ち、放送用テレビジョン・カメラ等で、最高級の画質が求められるテレビジョン・カメラ装置では、映像品質を低下させるような、映像信号におけるビートや折り返し音の発生を防ぐため、ディジタル信号処理を行いう際は、必要なA/D変換(アナログ・トゥ・デジタル変換)のクロックレートを、CCD映像センサのサンプリング・クロックレートに合わせるように利用される。

[0002] [従来の技術] 近年、テレビジョン・カメラ装置に使用されるCCD(チャージ・カッピルド・デバイス)映像センサにおいては、その技術的進歩に伴い、撮像可能なフレーム画像の画素数が年々向上している。また、放送局等において、フレーム画像の画素数やアスペクト比がそれぞれ異なるテレビジョン・カメラを複数台使用する場合が増えている。そのため、このように複数種類の画素数やフレーム画像のアスペクト比に対応して撮像可能なテレビジョン・カメラシステムの需要が高まっている。

[0003] 特に、画面の解像度(アスペクト比)を従来の4：3から16：9にするワイド化のため技術が盛んに取り入れられており、放送用のテレビジョン・カメラ装置としては、4：3と16：9のアスペクト比の切り替え機能が特に求められるようになってきている。

[0004] ここで、4：3と16：9のアスペクト比切り替えを行ふ方法としては、CCDの読み出し方法を変える方法と、メモリを用いてそのメモリへの映像信号データの書き込みクロック・レート(クロック周波数)とその読み出しのクロック・レートとを異ならせる方法がある。しかしながら、いずれの方法においても実

[0005] したがって従来の方法では、フレーム画像の画素数はアスペクト比に合わせて、映像信号処理を行なう回路構成(および装置構造)を用いなければならぬ。あるいは、各信号処理レートにそれに応じた映像のディジタル映像信号処理回路を具備しておく必要があります、回路規模や装置規模が膨大になる欠点を有した。

[0006] [発明が解決しようとする課題] 以上のように従来のデジタル信号処理を行なうカメラシステムでは、使用するCCDに応じたフレーム画像の画素数又はアスペクト比

(11)特許出願公開番号

(2)

[特許請求の範囲]
[請求項1] 映像信号処理を行うテレビジョン・クロック・レートを変化させる必要がある。

[0005] この技術の技術分野は、CCD撮像センサを有するカメラヘッド装置において、CCD撮像センサを入力して映像信号処理するCCU(カメラ・コントロール・ユニット)が、その映像信号処理をアナログ信号処理によって行う場合は、CCCD撮像センサから出力された映像信号をフレーム画像の画素数が変えられたとしても、そのアナログ映像信号処理回路の回路構成の変更が必要にならなかった。すなわち、ディジタル信号処理の場合では、クロックレートが変更されるごとにそれに応じて回路構成を変更する必要が生じるが、映像信号処理がアナログ信号処理であれば、複数のクロックレートに対応することができるため、回路構成上、比較的簡単に変更ができるようになった。

[0006] しかし近年、映像信号処理においてもディジタル信号処理がすう勢あり、テレビジョン・カメラ装置においては、映像信号処理回路もディジタル化されるようになってきている。

[0007] そのため、テレビジョン・カメラ装置においてフレーム画像の画素数やアスペクト比が変わることがあると、以下の問題が生じる。即ち、放送用テレビジョン・カメラ等で、最高級の画質が求められるテレビジョン・カメラ装置では、映像品質を低下させるような、映像信号におけるビートや折り返し音の発生を防ぐため、ディジタル信号処理を行なう際は、必要なA/D変換(アナログ・トゥ・デジタル変換)のクロックレートを、CCD映像センサのサンプリング・クロックレートに合わせるように利用される。

[0008] さらに、ディジタル信号処理を行うこと

で、信号処理レートによつては、例えば、ファイルの圧縮率が変わってしまうため、ディジタル信号処理を放送衛星におけるフレーム画像の画素数の変更が可能なテレビジョン・カメラ装置の改善が求められるものである。

[0009] したがって従来の方法では、フレーム画像の画素数はアスペクト比に合わせて、映像信号処理を行なう回路構成(および装置構造)を用いなければならぬ。あるいは、各信号処理レートにそれに応じた映像のディジタル映像信号処理回路を具備しておく必要があります、回路規模や装置規模が膨大になる欠点を有した。

[0010] [発明が解決しようとする課題] 以上のように従来のデジタル信号処理を行なうカメラシステムでは、使用するCCDに応じたフレーム画像の画素数又はアスペクト比

(12) 公開特許公報 (A)

(1)

[特許請求の範囲]
[請求項1] 映像信号処理を行うテレビジョン・クロック・レートを変化させる必要がある。

[0005] この技術の技術分野は、CCD撮像センサを有するカメラヘッド装置において、CCD撮像センサを入力して映像信号処理するCCU(カメラ・コントロール・ユニット)が、その映像信号処理をアナログ信号処理によって行う場合は、CCCD撮像センサから出力された映像信号をフレーム画像の画素数が変えられたとしても、そのアナログ映像信号処理回路の回路構成の変更が必要にならなかった。すなわち、ディジタル信号処理の場合では、クロックレートが変更されるごとにそれに応じて回路構成を変更する必要が生じるが、映像信号処理がアナログ信号処理であれば、複数のクロックレートに対応することができるため、回路構成上、比較的簡単に変更ができるようになった。

[0006] しかし近年、映像信号処理においてもディジタル信号処理がすう勢あり、テレビジョン・カメラ装置においては、映像信号処理回路もディジタル化されるようになってきている。

[0007] そのため、テレビジョン・カメラ装置においてフレーム画像の画素数やアスペクト比が変わることがあると、以下の問題が生じる。即ち、放送用テレビジョン・カメラ等で、最高級の画質が求められるテレビジョン・カメラ装置では、映像品質を低下させるような、映像信号におけるビートや折り返し音の発生を防ぐため、ディジタル信号処理を行なう際は、必要なA/D変換(アナログ・トゥ・デジタル変換)のクロックレートを、CCD映像センサのサンプリング・クロックレートに合わせるように利用される。

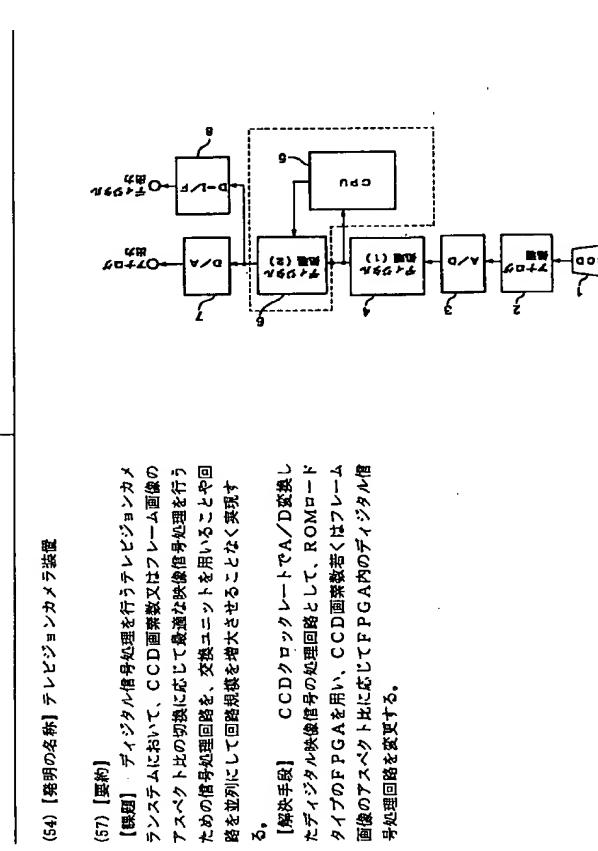
[0008] さらに、ディジタル信号処理を行うこと

で、信号処理レートによつては、例えば、ファイルの圧縮率が変わってしまうため、ディジタル信号処理を放送衛星におけるフレーム画像の画素数の変更が可能なテレビジョン・カメラ装置の改善が求められるものである。

[0009] したがって従来の方法では、フレーム画像の画素数はアスペクト比に合わせて、映像信号処理を行なう回路構成(および装置構造)を用いなければならぬ。あるいは、各信号処理レートにそれに応じた映像のディジタル映像信号処理回路を具備しておく必要があります、回路規模や装置規模が膨大になる欠点を有した。

[0010] [発明が解決しようとする課題] 以上のように従来のデジタル信号処理を行なうカメラシステムでは、使用するCCDに応じたフレーム画像の画素数又はアスペクト比

(2) 出願番号	特願平10-210906	(7) 出願人	000005429
(22) 出願日	平成10年7月27日(1998.7.27)	(72) 発明者	阿部 重人
		東京都小平市御幸町32番地	日立電子株式会社
		Fターム(参考)	5C022 A861 A865 AC42 AC69



て、分離されたデータ信号をCPU部1.5へ出力し、分離された映像信号をROMロードタイプFPGAを用いたデジタル信号処理回路6へ出力する。なお、このデジタル信号処理回路6の構成は、図3に示した第一の実例例のデジタル信号処理回路6と全く同じである。そして、このデジタル信号処理回路6は、CPU部1.5の制御により、上記構成されたカメラヘッドからの映像信号のクロックレートに応じた信号処理を行う。

【003.3】このように処理されたデジタル映像信号1.7はD/A変換器7でアナログ映像出力信号に変換される、あるいはデジタルI/F回路8を介して、デジタル映像出力信号として後段(図示せず)へ出力される。

【003.4】以上のように、従来のシステムで必要としたユニットの入出力機能や、複数の回路を並列に設けて回路構成を複雑なものとすることなく、同一のCCUに異なる画素数のCCDをもつカメラヘッドを複数接続することは可能となり、カメラシステムの運用性を大幅に向かせることができる。

【003.5】なお、以上の説明ではROMに格納されたデータに、また、CCDの画素数に適したデジタル信号処理を行う繋子にFPGAを用いたが、DSP(デジタルシングルプロセッサー)を代わりに用いても、同様の効果得ることが可能である。

【003.6】

【発明の効果】以上説明したように、本発明によれば、CCDの画素数又はフレーム信号処理を簡単に実現したデジタル信号処理回路6に示した第一の実例例のデジタル信号処理回路6と全く同じである。かつ、装置の小型化・低コスト化と共に、システムの運用性向上を図ることができる。

【図面の略歴】

【図1】本明のデジタル信号処理装置の一実施例のブロック構成を示す図

【図2】本明のデジタル信号処理装置の一実施例のブロック構成を示す図

【図3】本明に係るデジタル信号処理回路の一実施例のブロック構成を示す図

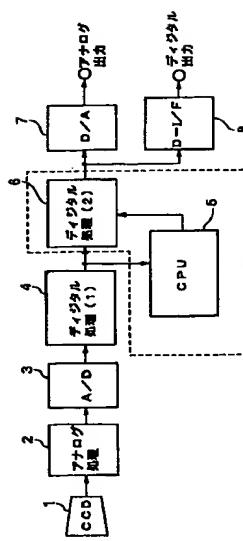
【図4】ROMロードタイプのFPGAの内部ブロック構成例を示す図

【図5】デジタルフィルタの周波数特性を説明するための図

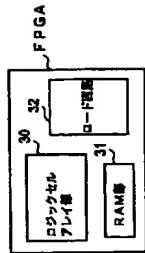
【符号の説明】

1 : CCD検像素子、 2 : A/D変換回路、 3 : A/D変換回路、 4 : デジタル信号処理回路、 5 : ROM、 1.5 : CPU部、 6, 1.6 : デジタル信号処理回路、 7 : D/A変換回路、 8 : デジタルインターフェース回路。

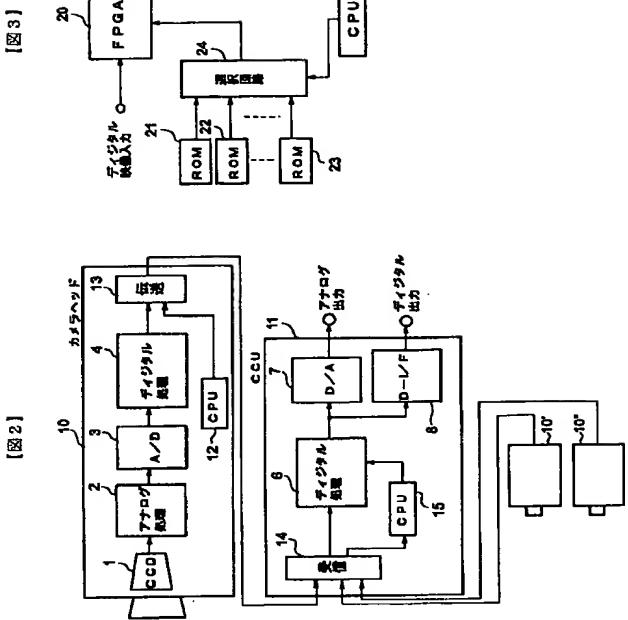
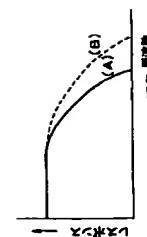
【図1】



【図4】

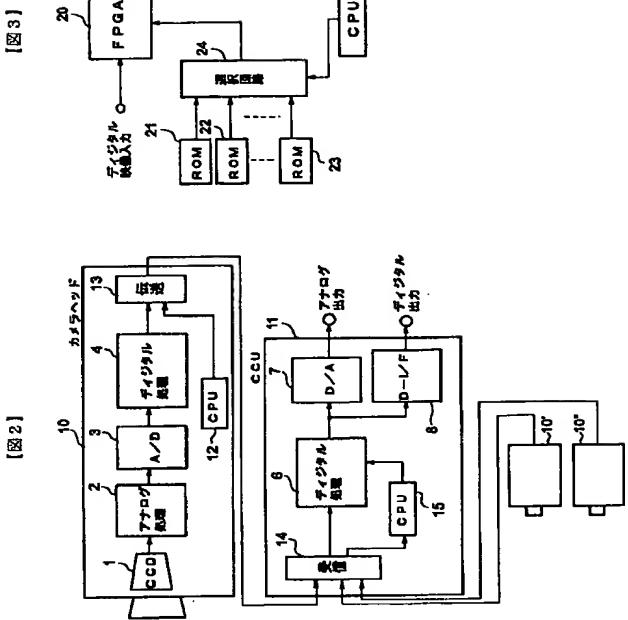


【図5】



【図2】

(5)



【図3】

(6)